

98 P4703

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑪ DE 3234741 C2

⑳ Aktenzeichen: P 32 34 741.3-53  
㉔ Anmeldetag: 20. 9. 82  
㉕ Offenlegungstag: 22. 3. 84  
㉖ Veröffentlichungstag  
der Patenterteilung: 31. 8. 89

㉗ Int. Cl. 4:  
G 06 F 13/38  
H 04 L 11/15

7.2/72

(2)

DE 3234741 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

㉚ Patentinhaber:  
Siemens AG, 1000 Berlin und 8000 München, DE

㉛ Erfinder:  
Steinberger, Herbert, Dipl.-Ing.(FH), 8000 München,  
DE

㉜ Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE 29 50 002 A1  
DE-B.: BOCKER, P., Datenübertragung, Bd. 1,  
Springer-Verlag, Berlin 1976, S. 45;

㉝ Verfahren und Schaltungsanordnung zur Steuerung der Übertragung von Datensignalen

DE 3234741 C2

Die Erfindung bezieht sich auf ein Verfahren zur Steuerung der Übertragung von Datensignalen von einer Signalabgabeseite zu einer Signalaufnahmesite nach vorheriger Einstellung von Geräten bzw. Betriebsarten auf der Signalaufnahmesite einer Datensignalübertragungsanlage durch Abgabe von Steuer-/Einstellsignalen von einer auf der Signalabgabeseite der Datensignalübertragungsanlage vorgesehenen Signalabgabeeinrichtung, welche mit einer auf der Signalaufnahmesite der Datenübertragungsanlage vorgesehenen Signalaufnahmeeinrichtung verbunden ist, die auf die Aufnahme von Steuer-/Einstellsignalen hin Auswertesignale bildet, diese mit Festwerten vergleicht und lediglich bei positivem Vergleich des jeweiligen Auswertesignals mit einem Festwert eine Datensignalübertragung ermöglicht; die Erfindung bezieht sich ferner auf eine Schaltungsanordnung zur Durchführung des Verfahrens.

Es ist bereits eine Einrichtung zum seriellen Übertragen parallel vorliegender Datenwörter unter Verwendung eines Parallel-Serien-Umsetzers bekannt (DE-OS 29 50 002). Bei dieser bekannten Einrichtung erfolgt die Steuerung der Einstellung von Geräten bzw. Betriebsarten auf der Signalaufnahmesite einer Datensignalübertragungsanlage durch Abgabe von Steuer-/Einstellsignalen von einer auf der Signalabgabeseite der Übertragungsanlage vorgesehenen Abgabeeinrichtung. Diese Signalabgabeeinrichtung ist mit einer auf der Signalaufnahmesite der Übertragungsanlage vorgesehenen Signalaufnahmeeinrichtung verbunden, welche auf die Aufnahme von Steuer-/Einstellsignalen hin Auswertesignale bildet, diese mit Festwerten vergleicht und lediglich bei positivem Vergleich des jeweiligen Auswertesignals mit einem Festwert eine Datensignalübertragung ermöglicht. Es hat sich gezeigt, daß die Sicherheit des erwähnten Vergleichs häufig nicht ausreicht, um Abweichungen zwischen den jeweils miteinander verglichenen Größen sicher erkennen zu können.

Es ist im Zusammenhang mit der Kanalcodierung bekannt (DE-Buch: Bocker P., Datenübertragung, Band 1, Springer-Verlag, Berlin 1976, Seite 45), die Codewörter eines Quellencodierers unter Hinzufügung von Redundanz erneut zu codieren, um durch Störungen auf der Übertragungsstrecke entstandene Fehler erkennen oder gar korrigieren zu können. Diese erneute Codierung wird in einem Kanalcodierer vorgenommen, also auf der Sendeseite der Übertragungsanlage.

Der Erfindung liegt die Aufgabe zugrunde, einen Weg zu zeigen, wie auf relativ einfache Weise die Sicherheit bei der vor der eigentlichen Datensignalübertragung vorzunehmenden Einstellung von Geräten bzw. Betriebsarten erhöht werden kann.

Gelöst wird die vorstehend aufgezeigte Aufgabe durch die im Anspruch 1 gekennzeichneten Maßnahmen.

Die Erfindung zeichnet sich durch den Vorteil aus, daß die Einstellung von Geräten bzw. Betriebsarten insgesamt mit höherer Sicherheit durchgeführt werden kann als dies bisher möglich war. Der betreffende Vorteil wird dabei gerade dadurch erreicht, daß Vergleiche sowohl in der Signalaufnahmeeinrichtung als auch in der Signalabgabeeinrichtung durchgeführt werden, bevor die Datensignalübertragung beginnen kann.

Vorzugsweise wird als Quittungssignal das Steuer-/Einstellsignal übertragen, welches zuvor von der Signalabgabeeinrichtung abgegeben worden ist. Dies

bringt den Vorteil eines besonders geringen Steuerungsaufwands für die Abgabe des Quittungssignals mit sich.

Zur Durchführung des Verfahrens gemäß der Erfindung dient zweckmäßigerweise eine Schaltungsanordnung, wie sie im Anspruch 3 gekennzeichnet ist. Diese Schaltungsanordnung zeichnet sich durch den Vorteil eines relativ geringen schaltungstechnischen Aufwands sowohl auf der Signalabgabeseite als auch auf der Signalaufnahmesite hinsichtlich der Steuerung der Einstellung von Geräten bzw. Betriebsarten für die Datensignalübertragung aus.

Bei negativem Vergleich eines Auswertesignals der Signalumsetzschaltung mit einem der in der Speicheranordnung gespeicherten Festwerte wird dabei an die Signalabgabeeinrichtung ein Fehlermeldesignal abgegeben, woraufhin die Signalabgabeeinrichtung die Abgabe des Steuer-/Einstellsignals wiederholt, welches zuvor an die Signalaufnahmeeinrichtung abgegeben worden war. Hierdurch ergibt sich der Vorteil einer besonders einfachen Wiederholung der Abgabe eines Steuer-/Einstellsignals, nachdem zuvor ein Fehler bei der Übertragung oder Umsetzung des betreffenden Signals aufgetreten ist.

Als Quittungssignal dient vorzugsweise das Steuer-/Einstellsignal, welches der Datensignalaufnahmeeinrichtung übertragen worden ist. Hierdurch ergibt sich insgesamt ein besonders geringer schaltungstechnischer Aufwand in der Signalabgabeeinrichtung und in der Signalaufnahmeeinrichtung.

Vorzugsweise sind die die Steuer-/Einstellsignale und die Quittungssignale bildenden Bits als Datenbits von Envelopes zwischen der Signalabgabeeinrichtung und der Signalaufnahmeeinrichtung übertragbar. Hierdurch ergibt sich der Vorteil einer besonders einfachen Unterscheidbarkeit der betreffenden Steuer-/Einstellsignale von normalen Datensignalen.

Anhand von Zeichnungen wird die Erfindung nachstehend beispielsweise näher erläutert.

Fig. 1 zeigt in einem Blockdiagramm eine Datensignalübertragungsanlage, bei der die vorliegende Erfindung anwendbar ist.

Fig. 2 zeigt in einem Blockdiagramm den möglichen Aufbau zweier Signalumsetzschaltungen, die in der Datensignalübertragungsanlage gemäß Fig. 1 verwendbar sind.

Die in Fig. 1 dargestellten Datensignalübertragungsanlage umfaßt auf ihrer linken Seite Datenendgeräte  $D 11, D 12$  bis  $D 1n$ , bei denen es sich um Datensignalabgabeeinrichtungen handelt, die in unterschiedlichen Betriebsarten zu arbeiten vermögen. Diese Datensignalabgabeeinrichtungen sind über einen Kanalsignalverteiler  $KSV 1$  an einer Signalumsetzschaltung  $U 1$  angeschlossen, die über eine Übertragungsanschlußeinrichtung  $Ub 1$  an der Übertragungsleitung  $L$  angeschlossen ist. Der auf der linken Seite der Fig. 1 dargestellte Schaltungsteil gehört bei dem angenommenen Beispiel zu der Signalabgabeseite.

Die in Fig. 1 dargestellte Datensignalübertragungsanlage enthält auf ihrer rechten Seite einen Schaltungsteil, der zu der Signalaufnahmesite gehört. Zu diesem Schaltungsteil gehört eine Übertragungsanschlußeinrichtung  $Ub 2$ , die an der Übertragungsleitung  $L$  angeschlossen ist. Der betreffenden Übertragungsanschlußeinrichtung  $Ub 2$  ist eine Signalumsetzschaltung  $U 2$  nachgeschaltet, welcher wiederum ein Kanalsignalverteiler  $KSV 2$  nachgeschaltet ist. An den Ausgängen dieses Kanalsignalverters  $KSV 2$  sind Datenendeinrich-

tungen  $D21, D22 \dots D2n$  angeschlossen, bei denen es sich um Datensignalaufnahmeeinrichtungen handelt, die für den Betrieb in unterschiedlichen Betriebsarten ausgelegt sein mögen.

Die zuvor erwähnte Übertragungsleitung  $L$  kann entweder für einen Halbduplexbetrieb oder für einen Voll-duplexbetrieb ausgelegt sein. Im übrigen können mit den beiden Enden der Übertragungsleitung  $L$  sowohl Signalabgabe- als auch Signalaufnahmeeinrichtungen verbunden sein.

In Fig. 2 ist ein möglicher Aufbau der beiden in Fig. 1 angedeuteten Signalumsetzschaltungen  $U1$  und  $U2$  gezeigt. Diese beiden Umsetzschaltungen  $U1$  und  $U2$  sind gemäß Fig. 2 der Einfachheit halber über zwei einzelne Übertragungsleitungen  $L12$  und  $L21$  miteinander verbunden. Diese beiden Übertragungsleitungen  $L12, L21$  entsprechen somit der Übertragungsleitung  $L$  gemäß Fig. 1.

Die Signalumsetzschaltung  $U1$  umfaßt eine Übertragungseinrichtung  $Ue1$ , die eingangsseitig mit einem Dateneingang  $ed$  verbunden ist, dem über die Übertragungsleitung  $L12$  zu übertragende Datensignale zugeführt werden. Dazu wird die Übertragungseinrichtung  $Ue1$  normalerweise in den übertragungsfähigen Zustand gesteuert, was beispielsweise durch Zuführung eines entsprechenden Freigabesignals von einem Anschluß  $en$  her erfolgen kann.

Mit der Ausgangsseite der Übertragungseinrichtung  $Ue1$ , die bei paralleler Datensignalübertragung durch eine der Anzahl gleichzeitig zu übertragender Bits entsprechende Anzahl von UND-Gliedern gebildet sein kann, ist ein Steuer-/Einstellsignalgeber  $Cs$  verbunden, der als Codierschalter ausgebildet sein und eine entsprechende Anzahl von individuell einstellbaren Schaltern aufweisen mag. Die Einstellung dieser Schalter legt die Bits des jeweils abzugebenden Steuer-/Einstellsignals fest, mit dem Geräte bzw. Betriebsarten auf der Signalaufnahmesseite einstellbar sind. Auf ein einem Steueranschluß  $em$  zugeführtes Steuersignal "1" hin wird über ein nachgeschaltetes ODER-Glied  $OG$  dem Codierschalter  $Cs$  ein entsprechendes Steuersignal zugeführt, auf das hin der betreffende Codierschalter  $Cs$  in seiner Einstellung entsprechendes Steuer-/Einstellsignal abzugeben vermag.

Das somit von der Signalumsetzschaltung  $U1$  abgegebene Steuer-/Einstellsignal gelangt über die Übertragungsleitung  $L12$  zunächst in ein zu der Signalumsetzschaltung  $U2$  gehörendes Zwischenregister  $Reg2$ . Das betreffende Signal wird außerdem der Eingangsseite einer Übertragungseinrichtung  $Ue21$  zugeführt, die normalerweise für die Datensignalübertragung übertragungsfähig ist und die wie die Übertragungseinrichtung  $Ue1$  durch eine Anzahl von UND-Gliedern gebildet sein kann. Die betreffende Übertragungseinrichtung  $Ue21$  gibt im übertragungsfähigen Zustand die ihr eingangsseitig zugeführten Signale an einem Datenausgang  $ad$  ab. Eine entsprechende Übertragung kann im übrigen auch bezüglich der Steuer-/Einstellsignale erfolgen.

Mit dem Ausgang des Zwischenregisters  $Reg2$  ist ein Rechenwerk  $RW2$  verbunden, welches auf das ihm jeweils zugeführte Steuer-/Einstellsignal hin ein als Auswertesignal dienendes Ausgangssignal abgibt, welches eine gegenüber der Anzahl der Bits des zugeführten Steuer-/Einstellsignals höhere Anzahl von Bits aufweist. Die dadurch gebildeten Auswertesignale können grundsätzlich beliebige Bitkombinationen aufweisen. Außerdem kann die Anzahl der Bits grundsätzlich beliebig

groß sein. Wenn beispielsweise das Steuer-/Einstellsignal acht oder sechzehn Bits aufweist, dann kann das betreffende Auswertesignal sechzehn bzw. zweiund-dreißig Bits aufweisen. Dieses Ausgangssignal wird in einen Lesespeicher  $RAM2$  eingeschrieben, der ausgangssseitig mit der Eingangsseite einer Vergleichieranordnung  $Com2$  verbunden ist. Diese Vergleichieranordnung  $Com2$  ist eingangsseitig außerdem an einer weiteren Speicheranordnung  $ROM2$  angeschlossen, die durch einen Festwertspeicher gebildet sein mag. Die Vergleichieranordnung  $Com2$  wird zur Durchführung von Vergleichen zwischen dem in dem Lesespeicher  $RAM2$  eingespeicherten Auswertesignal und in dem Festwertspeicher  $ROM2$  gespeicherten Festwerten dadurch veranlaßt, daß das Rechenwerk  $RW2$  über eine Steuerleitung  $c21$  ein entsprechendes Steuersignal an die betreffende Vergleichieranordnung  $Com2$  abgibt. Die Anordnung mag dabei so getroffen sein, daß die Vergleichieranordnung  $Com2$  auf diese Ansteuerung hin den Festwertspeicher  $ROM2$  über eine Adressierungs- bzw. Steuerleitung  $c22$  derart ansteuert, daß die in diesem Festwertspeicher  $ROM2$  enthaltenen Festwerte nacheinander für den durchzuführenden Vergleich aufgerufen werden. An dieser Stelle sei angemerkt, daß die in dem Festwertspeicher  $ROM2$  enthaltenen Festwerte die verschiedenen Betriebsarten bzw. Geräte festlegen, die auf der zugehörigen Signalaufnahmesseite einzustellen sind.

Stellt die Vergleichieranordnung  $Com2$  eine Übereinstimmung des in dem Lesespeicher  $RAM2$  eingespeicherten Auswertesignals mit einem der in dem Festwertspeicher  $ROM2$  enthaltenen Festwerte fest, so gibt sie von ihrem mit = bezeichnetem Ausgang ein Binärsignal "1" ab. Dieses Binärsignal "1" wird dann einem Steuereingang sowohl der bereits erwähnten Übertragungseinrichtung  $Ue21$  als auch einem Steuereingang einer weiteren Übertragungseinrichtung  $Ue22$  zugeführt, die ebenfalls eine Anzahl von UND-Gliedern enthalten mag. Diese Übertragungseinrichtung  $Ue22$  ist eingangsseitig am Ausgang des oben bereits erwähnten Zwischenregisters  $Reg2$  angeschlossen. Durch Zuführung eines Binärsignals "1" zu dem Steuereingang der Übertragungseinrichtung  $Ue22$  gibt diese das in dem Zwischenregister  $Reg2$  noch zwischengespeicherte Steuer-/Einstellsignal — welches zuvor von der Signalumsetzschaltung  $U1$  her zugeführt worden war — als Quittungssignal über die Übertragungsleitung  $L21$  an die Signalumsetzschaltung  $U1$  ab.

Das zuvor erwähnte Binärsignal "1" wird außerdem einem Zwischenspeicher  $Ss$  zugeführt, der den entsprechenden Festwert aufzunehmen und zwischenzuspeichern vermag, welcher in der Vergleichieranordnung  $Com2$  zu der erwähnten Übereinstimmung mit dem in dem Lesespeicher  $RAM2$  zwischengespeicherten Auswertesignal des Rechenwerks  $RW2$  geführt hat. Dieser in dem Zwischenspeicher  $Ss$  zwischengespeicherte Festwert kann über einen Ausgangsanschluß  $as$  abgegeben werden, um auf der betreffenden Signalaufnahmesseite das/die gewünschte(n) Gerät(e) bzw. Betriebsarten zu steuern.

Stellt die Vergleichieranordnung  $Com2$  der Signalumsetzschaltung  $U2$  keine Übereinstimmung des in dem Lesespeicher  $RAM2$  zwischengespeicherten Auswertesignals des Rechenwerks  $RW2$  mit den in dem Festwertspeicher  $ROM2$  gespeicherten Festwerten fest, so gibt die Vergleichieranordnung  $Com2$  von ihrem mit  $\neq$  bezeichneten Ausgang ein Binärsignal "1" ab. Durch dieses Binärsignal "1" wird im vorliegenden Fall

eine Fehlermeldeschaltung *Fm* angesteuert, die ein bestimmtes Fehlermeldesignal über die Übertragungsleitung *L 21* an die Signalumsetzschaltung *U 1* abzugeben gestattet. An dieser Stelle sei angemerkt, daß anstelle einer gesonderten Fehlermeldung gegebenenfalls auch das Steuer-/Einstellsignal herangezogen werden kann, welches in dem Zwischenregister *Reg 2* der Signalumsetzschaltung *U 2* zwischengespeichert ist. In diesem Falle wäre die Fehlermeldeschaltung *Fm* entbehrlich.

Die Signalumsetzschaltung *U 1* weist in ihrem mit der Übertragungsleitung *L 21* verbundenen Schaltungsteil praktisch den gleichen Aufbau auf, wie er zuvor bezüglich des mit der Übertragungsleitung *L 12* verbundenen Schaltungsteiles der Signalumsetzschaltung *U 2* erläutert worden ist. Demgemäß ist in der Signalumsetzschaltung *U 1* ein Zwischenregister *Reg 1* vorgesehen, welches eingangsseitig an der Übertragungsleitung *L 21* angeschlossen ist und dem ausgangsseitig ein Rechenwerk *RW 1* nachgeschaltet ist. Dieses Rechenwerk *RW 1* steuert einen Lesespeicher *RAM 1* an, der seinerseits eine Vergleichieranordnung *Com 1* ansteuert, die über eine Steuerleitung *C 11* ebenfalls mit dem Rechenwerk *RW 1* verbunden ist. Außerdem ist mit der Vergleichieranordnung *Com 1* ein Festwertspeicher *ROM 1* verbunden, der über eine Steuerleitung *C 12* von der Vergleichieranordnung *Com 1* her ansteuerbar ist. In dem Festwertspeicher *ROM 1* sind im vorliegenden Fall Festwerte gespeichert, die verschiedenen Ausgangs- bzw. Auswertesignalen des Rechenwerks *RW 1* und damit verschiedenen Quittungssignalen entsprechen, die über die Übertragungsleitung *L 1* übertragen werden können.

Der zuvor erläuterte, mit der Übertragungsleitung *L 21* verbundene Schaltungsteil der Signalumsetzschaltung *U 1* arbeitet im Prinzip genauso wie dies zuvor bezüglich des mit der Übertragungsleitung *L 12* verbundenen Schaltungsteiles der Signalumsetzschaltung *U 2* erläutert worden ist. Ein an dem mit = bezeichneten Ausgang der Vergleichieranordnung *Com 1* auftretendes Binärsignal "1" ist dabei kennzeichnend für den Fall, daß ein der betreffenden Signalumsetzerschaltung *U 1* zugeführtes Quittungssignal bzw. ein daraus abgeleitetes und in dem Lesespeicher *RAM 1* zwischengespeichertes Auswertesignal mit einem der Festwerte übereinstimmt, die in dem Festwertspeicher *ROM 1* gespeichert sind. Das betreffende Binärsignal "1" dient im vorliegenden Fall dazu, die Übertragungseinrichtung *Ue 1* der Signalumsetzschaltung *U 1* in den übertragungsfähigen Zustand zu steuern. Außerdem kann das betreffende Binärsignal "1" an den Anschluß *en* abgegeben werden, um die eigentliche Datensignalübertragung über die übertragungsfähige Übertragungseinrichtung *Ue 1* zu bewirken.

Der mit ≠ bezeichnete Ausgang der Vergleichieranordnung *Com 1* der Signalumsetzschaltung *U 1* ist mit einem Eingang des oben bereits erwähnten ODER-Gliedes *OG* verbunden. Ein über diese Verbindung geleitetes Binärsignal "1" ist kennzeichnend dafür, das das zuvor der Signalumsetzschaltung *U 1* zugeführte Quittungssignal bzw. das daraus errechnete bzw. gebildete Auswertesignal mit keinem der in dem Festwertspeicher *ROM 1* gespeicherten Festwerte übereinstimmt. Das betreffende Binärsignal "1" bewirkt im vorliegenden Fall über das erwähnte ODER-Glied *OG*, daß der Codierschalter *Cs* erneut zur Abgabe eines seiner Einstellung entsprechenden Steuer-/Einstellsignals veranlaßt wird.

Die vorstehend erläuterte Übertragung eines Steuer-

/Einstellsignals bzw. eines Quittungssignals wird normalerweise lediglich bei einer Änderung der Einstellung von Geräten bzw. Betriebsarten vorgenommen. Es ist aber auch möglich, diese Prozedur im Fehlerfalle durchzuführen, beispielsweise dann, wenn auf der Signalaufnahmeseite nach bereits erfolgter Einstellung von Geräten bzw. Betriebsarten festgestellt wird, daß das in dem zugehörigen Lesespeicher *RAM 2* gespeicherte Auswertesignal nicht mehr übereinstimmt mit irgendeinem der in dem zugehörigen Festwertspeicher *ROM 2* gespeicherten Festwerte. Diese Feststellung kann im Zuge der Übertragung von Datensignalen in gewissen zeitlichen Abständen erfolgen, ohne daß dadurch die Datensignalübertragung beeinträchtigt wird. Im übrigen sei an dieser Stelle noch angemerkt, daß in der vorstehend erläuterten Art und Weise an sich beliebig viele Kombinationen von Geräten und Betriebsarten auf der jeweiligen Signalaufnahmeseite eingestellt werden können. Die Sicherheit, mit der die jeweilige Einstellung vorgenommen und überwacht werden kann, hängt somit lediglich von der Anzahl der Bits der Festwerte ab, die praktisch unverlierbar abgespeichert sind. Für die betreffende Speicherung sind dabei zwar Festwertspeicher angenommen worden. Es dürfte jedoch einzusehen sein, daß prinzipiell auch andere Arten der Erfassung und Bereitstellung von Festwerten möglich sind. So können die Festwerte beispielsweise durch fest verdrahtete Diodenmatrizen bereitgestellt werden.

Im Hinblick auf die in Fig. 2 dargestellte Anordnung sei abschließend noch bemerkt, daß die in den Signalumsetzschaltungen *U 1* und *U 2* vorgesehenen Lesespeicher *RAM 1* und *RAM 2* vor der Inbetriebsetzung der gesamten Anlage bzw. nach einem Spannungsausfall jeweils in einen definierten Ausgangszustand gesetzt werden. Dadurch ist dann sichergestellt, daß keine fehlerhaften Steuerungsvorgänge ausgelöst werden.

#### Patentansprüche

1. Verfahren zur Steuerung der Übertragung von Datensignalen von einer Signalabgabeseite zu einer Signalaufnahmeseite nach vorheriger Einstellung von Geräten bzw. Betriebsarten auf der Signalaufnahmeseite einer Datensignalübertragungsanlage durch Abgabe von Steuer-/Einstellsignalen von einer auf der Signalabgabeseite der Datensignalübertragungsanlage vorgesehenen Signalabgabeeinrichtung, welche mit einer auf der Signalaufnahmeseite der Datenübertragungsanlage vorgesehenen Signalaufnahmeeinrichtung verbunden ist, die auf die Aufnahme von Steuer-/Einstellsignalen hin Auswertesignale bildet, diese mit Festwerten vergleicht und lediglich bei positivem Vergleich des jeweiligen Auswertesignals mit einem Festwert eine Datensignalübertragung ermöglicht, dadurch gekennzeichnet, daß in der Signalaufnahmeeinrichtung (*U 2*) aus dem empfangenen Steuer-/Einstellsignal ein Auswertesignal (in *RAM 2*), welches eine größere Anzahl von Bits als sie das betreffende Steuer-/Einstellsignal aufweist, gebildet und mit in der Signalaufnahmeeinrichtung (*U 2*) bereitgestellten (in *ROM 2*), ebenfalls die betreffende größere Anzahl von Bits aufweisende Festwerten verglichen wird, die kennzeichnend sind für die möglichen Einstellungen von Geräten bzw. Betriebsarten, daß bei positivem Vergleich des jeweils gebildeten Auswertesignals mit einem der Festwerte ein Quittungssignal an die Signalabgabeeinrichtung

(U1) übertragen wird, in der aus diesem Quittungssignal ein Auswertesignal (in RAM 1), welches eine größere Anzahl von Bits, als sie das betreffende Quittungssignal aufweist, gebildet und mit in der Signalabgabeeinrichtung (U1) bereitgestellten (in ROM 1), ebenfalls die betreffende größere Anzahl von Bits aufweisenden Festwerten verglichen wird und daß lediglich bei positivem Vergleich des zuletzt genannten Auswertesignals (in RAM 1) mit einem der zuletzt genannten Festwerten (in ROM 1) die Datensignalübertragung freigegeben wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß als Quittungssignal das Steuer-/Einstellsignal übertragen wird, welches zuvor von der Signalabgabeeinrichtung (U1) abgegeben worden ist.

3. Schaltungsanordnung zur Durchführung des Verfahrens nach Anspruch 1, mit einer Signalabgabeeinrichtung (U1) und einer Signalaufnahmeeinrichtung (U2), die mit der Signalabgabeeinrichtung (U1) verbunden ist, dadurch gekennzeichnet, daß in der Signalabgabeeinrichtung (U1) ein Steuer-/Einstellsignalgeber (Cs) vorgesehen ist, der die jeweilige Betriebsart bzw. das jeweilige Gerät bezeichnende Steuer-/Einstellsignale an die Signalaufnahmeeinrichtung (U2) abzugeben gestattet, daß in der Signalaufnahmeeinrichtung (U2) eine Signalumsetzschaltung (RW2, RAM2) vorgesehen ist, die auf ein ihr zugeführtes Steuer-/Einstellsignal hin ein Auswertesignal abgibt, welches eine gegenüber der Anzahl der Bits des betreffenden Steuer-/Einstellsignals größere Anzahl von Bits aufweist, daß die Signalumsetzschaltung (RW2, RAM2) eine Vergleichieranordnung (Com2) aufweist, der eingangsseitig das genannte Auswertesignal zugeführt wird und die eingangsseitig außerdem an einer Speicheranordnung (ROM2) angeschlossen ist, in der die verschiedenen Betriebsarten bzw. Geräte festlegende Festwerte gespeichert sind, daß mit der Ausgangsseite der Vergleichieranordnung (Com2) eine Einstellschaltung (Ue21) verbunden ist, die lediglich bei positivem Vergleich eines Auswertesignals der Signalumsetzschaltung (RW2, RAM2) mit einem der in der Speicheranordnung (ROM2) gespeicherten Festwerte eine Datensignalaufnahme bzw. -weiterleitung in bzw. von der Datensignalaufnahmeeinrichtung ermöglicht, daß die Signalaufnahmeeinrichtung (U2) einen Quittungssignalgeber (Ue22) aufweist, der bei positivem Vergleich eines Auswertesignals der Signalumsetzschaltung mit einem der in der Speicheranordnung (ROM2) gespeicherten Festwerte ein entsprechendes Quittungssignal an die Signalabgabeeinrichtung abzugeben gestattet,

daß in der Signalabgabeeinrichtung (U1) eine weitere Signalumsetzschaltung (RW1, RAM1) vorgesehen ist, die auf ein ihr zugeführtes Quittungssignal hin ein Auswertesignal abgibt, welches eine gegenüber der Anzahl der Bits des Quittungssignals größere Anzahl von Bits aufweist, daß die weitere Signalumsetzschaltung (RW1, RAM1) eine gesonderte Vergleichieranordnung (Com1) aufweist, welche eingangsseitig das genannte Auswertesignal zugeführt erhält und welche eingangsseitig außerdem an einer weiteren Speicheranordnung (ROM1) angeschlossen ist, in der den verschiedenen möglichen Quittungssigna-

len entsprechende Festwerte gespeichert sind, und daß mit der Ausgangsseite der gesonderten Vergleichieranordnung (Com1) eine Steuerschaltung (Ue1) verbunden ist, die lediglich bei positivem Vergleich eines Auswertesignals der betreffenden Signalumsetzschaltung mit einem der in der zugehörigen Speicheranordnung (ROM1) gespeicherten Festwerte eine Datensignalabgabe von der Datensignalabgabeeinrichtung ermöglicht.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß bei negativem Vergleich eines Auswertesignals der Signalumsetzschaltung (RW2, RAM2) auf der Signalaufnahmesseite mit einem der in der zugehörigen Speicheranordnung (ROM2) gespeicherten Festwerte an die Signalabgabeeinrichtung (U1) ein entsprechendes Quittungssignal abgebar ist, die daraufhin die Abgabe des Steuer-/Einstellsignals wiederholt, welches zuvor an die Signalaufnahmeeinrichtung (U2) abgegeben worden war.

5. Schaltungsanordnung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß als jeweiliges Quittungssignal das Steuer-/Einstellsignal dient, welches der Signalaufnahmeeinrichtung (U2) jeweils übertragen worden ist.

6. Schaltungsanordnung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß die Steuer-/Einstellsignale und die Quittungssignale bildende Bits als Datenbits von Envelopes zwischen der Signalabgabeeinrichtung (U1) und der Signalaufnahmeeinrichtung (U2) übertragbar sind.

---

Hierzu 2 Blatt Zeichnungen

---

- Leerseite -

FIG 2

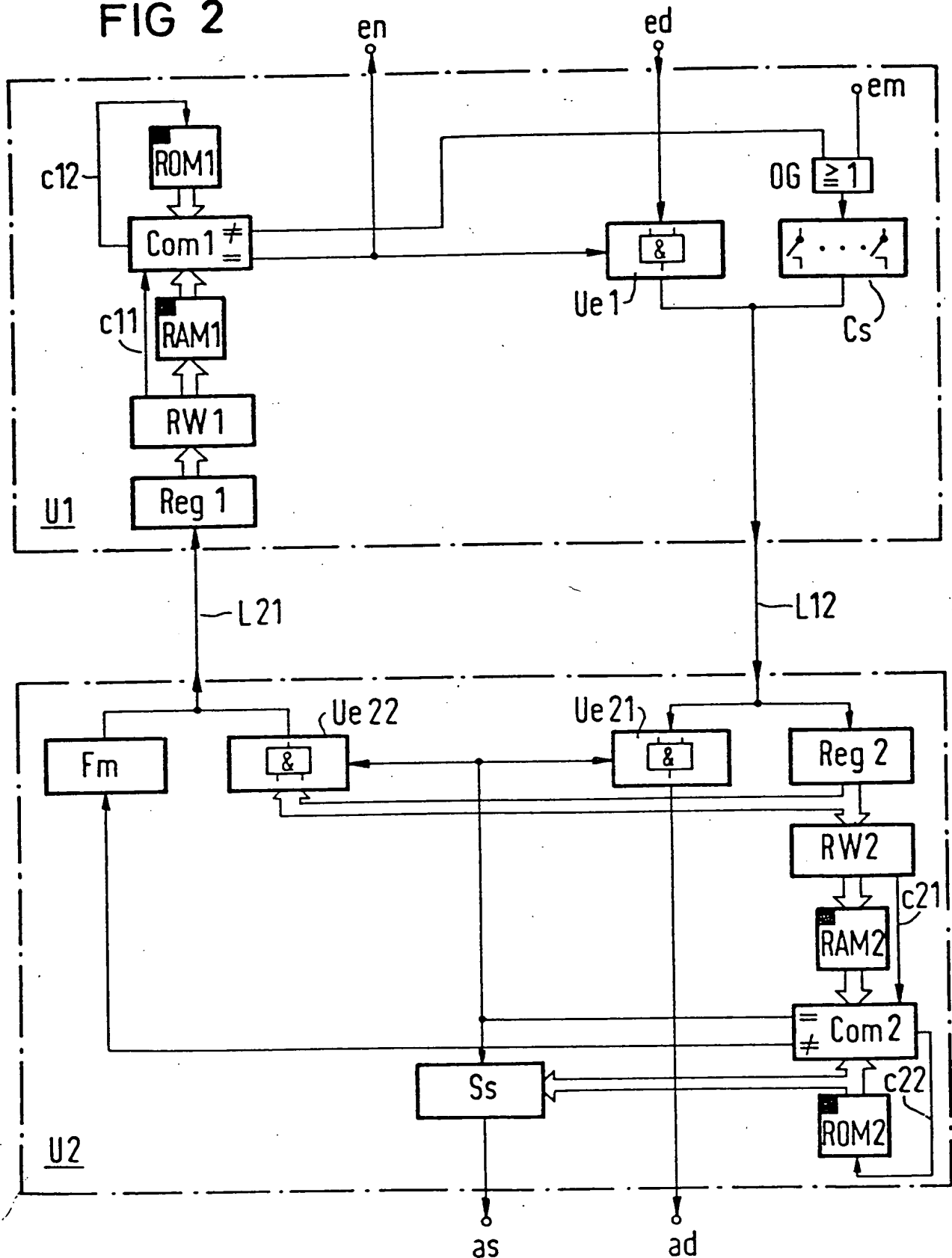


FIG 1

